

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-006038

(43)Date of publication of application : 10.01.1995

(51)Int.Cl.

G06F 9/46

(21)Application number : 05-149016

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.06.1993

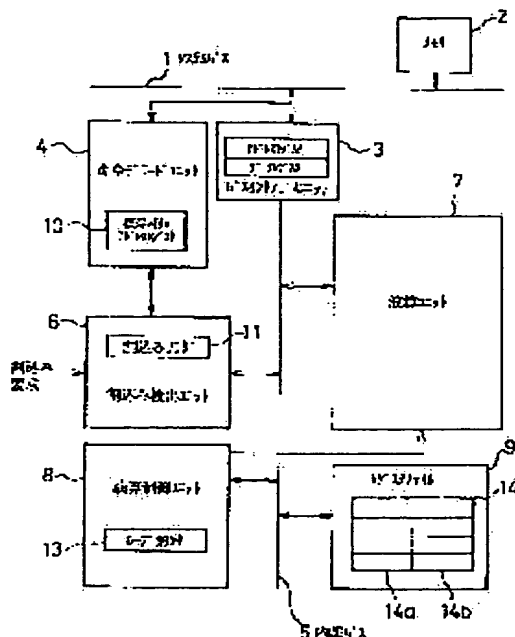
(72)Inventor : SHINO SEIJI

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To provide the information processor which can quicken an interruption response and improve instruction execution efficiency.

CONSTITUTION: An interruption detection unit 6 accepts an interruption request generated during the execution of an instruction, the instruction which is being executed is interrupted, and information that the instruction uses and obtained information are saved in general registers 14a and 14b; and the restart position of the interrupted instruction is set in a return microaddress register 10 or loop counter 13 and when the interruption processing ends, the interrupted instruction is restarted and executed from the interruption point according to the indication of the return microaddress register 10 or loop counter 13 after the saved information is reloaded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-6038

(43) 公開日 平成7年(1995)1月10日

(51) IntCl.⁶

G 0 6 F 9/46

識別記号

3 1 4 Z 8120-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平5-149016

(22) 出願日 平成5年(1993)6月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 子井野 誠治

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

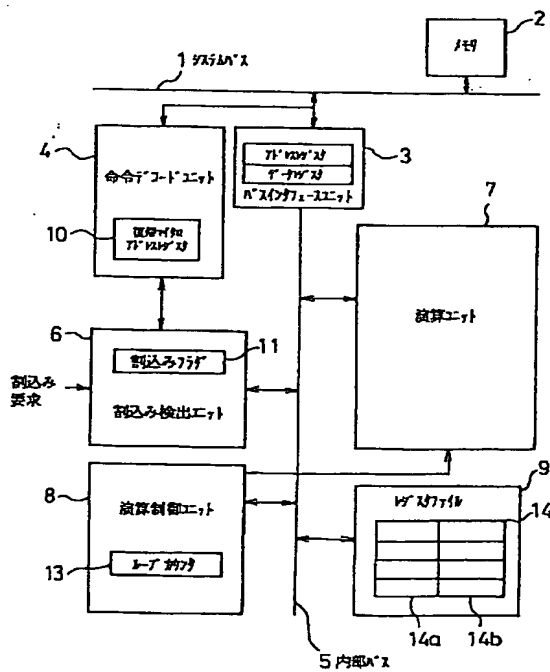
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 この発明は、割込み応答の高速化ならびに命令実行効率の向上を達成し得る情報処理装置を提供することを目的とする。

【構成】 この発明は、割込み検出ユニット6により命令の実行中に発生した割込み要求を受け、実行されていた命令を中断して命令が使用していた情報ならびに得られた情報を汎用レジスタ14a、14bに退避保存し、中断された命令の再開位置を復帰マイクロアドレスレジスタ10又はループカウンタ13にセットし、割込み処理が終了すると、退避保存されていた情報を復帰した後中断された命令を復帰マイクロアドレスレジスタ10又はループカウンタ13の指示に基づいて中断された時点以降から再開実行するように構成される。



【特許請求の範囲】

【請求項 1】 実行中の命令の所定の処理段階において、割込み要求の発生を検出し、発生した割込み要求が受け付け可能な割込み要求であれば、それまで実行されていた命令を中断して発生した割込み要求を受け付け、中断された命令を再開する際の処理段階を示す指示情報をセットする割込み要求検出手段と、

割込み要求検出手段によって割込み要求が受け付けられると、それまで実行されていた命令の処理で使用されていた情報及びそれまでの処理によって得られた情報を退避させて保存する退避保存手段と、

割込み要求検出手段によって受け付けられた割込み処理が終了した後、退避保存手段によって退避保存された情報を復帰させる復帰手段と、

割込み検出手段によって指示情報がセットされ、セットされた指示情報によって中断された命令を中断された時点以降から再開実行させる指示を与える指示手段とを有することを特徴とする情報処理装置。

【請求項 2】 前記退避保存手段は、退避保存する情報を機械語命令により指示されたアドレスで指定される記憶領域に退避保存させることを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記退避保存手段は、退避保存する情報を機械語命令により指示された補助オペランドで指定される記憶領域に退避保存させることを特徴とする請求項 1 記載の情報処理装置。

【請求項 4】 前記退避保存手段は、退避保存する情報をマイクロ命令により指定された記憶領域に退避保存させることを特徴とする請求項 1 記載の情報処理装置。

【請求項 5】 前記退避保存手段は、退避保存する情報を機械語命令により指示されたアドレス又は補助オペランドで指定される記憶領域あるいはマイクロ命令により指定される記憶領域に選択的に退避保存させることを特徴とする請求項 1 記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、命令実行時間の長い命令を実行処理する情報処理装置における割込み応答ならびに命令実行効率の改善に関する。

【0002】

【従来の技術】マイクロプロセッサ等の情報処理装置では、機械語命令を主記憶装置から読み込み、読み込んだ機械語命令を内部で実行可能な形式の命令にデコードし、デコードされた命令を実行処理するという基本的な動作を繰り返し行いプログラムを実行処理している。

【0003】このような命令の処理過程において、高機能な命令を実行処理する場合に、1つの命令の実行処理に多くの時間がかかり、例えば乗算、除算命令、ビットフィールド操作命令、キュー操作命令等では数十クロックの時間を要する場合がある。

【0004】一方、上述したような情報処理装置においては、上述したような命令の実行と並行して割込み例外要因を監視しており、割込み要求が発生した場合には、発生した割込み要求を受け付けるか否かを判断している。発生した割込み要求を受け付ける場合には、現在実行しているプログラムを中断して割込み処理を行い、割込み要求を受け付けない場合には現在実行しているプログラムを続行する。

【0005】このような割込み制御にあつては、ハードウェアリセット、未定義命令などを除いて、命令の実行中に発生した割込み要求は、実行中の命令を中断して受け付けることができず、実行中の命令が終了した後に受け付けられていた。このため、前述したような数十サイクロの時間を要する除算命令等の実行中に割込み要求が発生した場合には、命令が終了するまで割込み要求は受け付けられず、割込み応答が悪くなっていた。

【0006】そこで、命令の実行途中であっても割込み要求を受け付けることができる割込み制御方式を採用した情報処理装置が開発されている。しかしながら、このような割込み制御方式にあつては、命令の実行途中において割込み要求を受け付けて割込み処理を行なった場合には、割込み要求を受け付けた際に実行されて中断された命令のそれまでの処理結果は放棄されていた。このため、中断された命令は再度最初から実行し直さなければならず、命令の実行効率が悪くなっていた。

【0007】

【発明が解決しようとする課題】以上説明したように、実行処理時間が長くなる高機能命令を実行処理する従来の情報処理装置にあつては、命令の実行中に割込み要求を受け付けることができず、割込み応答の悪化を招いていた。また、命令の実行中に割込み要求を受け付けることができるようにした従来の情報処理装置にあつては、割込み要求を受け付けたことにより中断された命令は再度実行しなければならなかったため、命令の実行効率の低下を招いていた。

【0008】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、命令の実行中であっても割込み要求の受付を可能にするとともに、割込み要求を受け付けた際に中断された命令を中断されない場合と同等の処理時間で処理を可能とし、割込み応答の高速化ならびに命令実行効率の向上を達成し得る情報処理装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項 1 記載の発明は、実行中の命令の所定の処理段階において、割込み要求の発生を検出し、発生した割込み要求が受け付け可能な割込み要求であれば、それまで実行されていた命令を中断して発生した割込み要求を受け付け、中断された命令を再開する際の処理段階を示す指示情報をセットする割込み要求検出手段と、割込み要求

検出手段によって割込み要求が受け付けられると、それまで実行されていた命令の処理で使用されていた情報及びそれまでの処理によって得られた情報を退避させて保存する退避保存手段と、割込み要求検出手段によって受け付けられた割込み処理が終了した後、退避保存手段によって退避保存された情報を復帰させる復帰手段と、割込み要求検出手段によって指示情報がセットされ、セットされた指示情報によって中断された命令を中断された時点以降から再開実行させる指示を与える指示手段とから構成される。

【0010】

【作用】上記構成において、この発明は、命令の実行中に割込み要求の発生を検出し、発生した割込み要求を受け付ける場合には、それまで実行されていた命令を中断してその命令が使用していた情報ならびにそれまでの処理で得られた情報を退避保存した後割込み要求を受け付け、中断された命令を再開する際の処理段階を示す指示情報をセットし、割込み処理が終了すると、退避保存されていた情報を復帰した後セットされた指示情報に基づいて中断された命令を中断された時点以降から再開実行するようにしている。

【0011】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0012】図1はこの発明の一実施例に係わる情報処理装置の構成を示す図である。図1に示す装置における一実施例は、除算処理の実行途中で割込み要求を受け付け可能としたものである。

【0013】図1において、情報処理装置は、システムバス1に接続されたメモリ2、バスインターフェイスユニット3、命令デコードユニット4を有し、内部バス5に接続された割込み検出ユニット6、演算ユニット7、演算制御ユニット8、レジスタファイル9を有して構成されている。

【0014】命令デコードユニット4は、復帰マイクロアドレス10を備えており、この復帰マイクロアドレスは、割込み処理が終了した後中断された命令を中断された時点から実行処理する際のマイクロ命令を保持するレジスタであり、図2に示すように構成されている。

【0015】図2において、復帰マイクロアドレスレジスタ10は、戻りステート情報を保持するRSTフィールドと、ソースオペランドの種別（レジスタ又はメモリ）を示す情報を保持するSフィールドと、ディスティネーションオペランドの種類を示す情報を保持するDフィールドと、演算のサイズを示す情報を保持するSZフィールドと、オペレーションの内容を示す情報を保持するOPCフィールドとから構成されている。

【0016】図1に戻って、割込み検出ユニット6は、命令の実行中に割込み要求をモニターして、マイクロ命令によって予め決められた所定の段階において、発生し

た割込み要求の許可／不許可を判定する。割込み検出ユニット6は、命令の実行途中で割込み要求を受け付けた場合には、割込みプログラム終了後の復帰マイクロアドレスが復帰マイクロアドレスレジスタ10にセットされるとともに、割込み検出ユニット6に備えられた割込みフラグ11に割込み受け付けを示すフラグをセットする。

【0017】演算ユニット7は、論理演算ならびに算術演算を実行するものであり、図3に示すように構成されている。

10 【0018】図3において、演算ユニット7は、8個のラッチ回路L1～L8と、3個のシフタS1～S3と、4個のセレクトSE1～SE4及びALU12を備え、3本の内部バスX、Y、Zとの間でデータの入出力を行い、演算処理を実行している。

【0019】図1に戻って、演算制御ユニット8は、演算ユニット7で実行される演算処理を制御するものであり、ループカウンタ13を備えている。このループカウンタ13は、除算処理における繰り返し演算の回数がセットされる。

20 【0020】レジスタファイル9は、汎用レジスタ群14を備えており、汎用レジスタ群14のうち例えば汎用レジスタ14a、14bが割込み処理を受け付けた際のデータの退避場所に指定される。

【0021】次に、このように構成された情報処理装置において、除算処理の途中で割込み要求を受け付ける場合について説明する。

【0022】除算命令DIV dst, srcは、dstの内容がsrcの内容で符号なし除算され、商がdstの下位半分に、余りがdstの上位半分に転送される。演算結果にはオーバフローフラグがセットされる。除算は被除数から除数の引き算をシフト操作で桁をずらしながら繰り返し行うことにより実行される。例えば16ビット÷8ビットではこの繰り返しが8回、32ビット÷16ビットでは16回必要である。

【0023】図4(A)は、従来の除算命令の実行サイクルを一般化したものを示す図である。

【0024】図4(A)において(a)の期間で、命令デコードを行い、必要に応じてアドレス計算、メモリリードを行う。src, dstともに単純なレジスタ直接アドレッシングの場合は、このサイクルは2サイクルである。一方、複雑なアドレッシングモードでしかもsrcがメモリの場合には、このサイクルは最も長くなり、サイクル数はメモリリードに要するクロック数によって規定される。

【0025】(b)のサイクルは、演算実行ステートで、数ステップのマイクロ命令によって制御される。この(b)のサイクルの中で、(c)のサイクルは1ステップのマイクロ命令で制御され、上述の繰り返し動作を実行する。

50 【0026】割込み要求は、図4(B)において、

(a) 及び (b) で示されるサイクル間の中断点 (g) と (c) のサイクルの途中の中断点 (h) で受け付ける。それ以外のサイクルでは命令実行途中の割込みを許可しない。また、命令実行途中に受け付けるべきでない割込み要因にはマスクする。

【0027】(g) 点で割込みを受け付けるためには、直前のサイクルで割込み検出ユニット6によって割込みチェックを行う。割込み要求がなければそのまま命令実行を続行する。割込み要求があった場合には、割込みが許可されて、命令途中の割込みフラグ11がセットされ、割込み処理が開始される。

【0028】割込み処理は、途中結果の退避方法によって異なる。

【0029】補助オペランドを使用する場合は、途中結果を補助オペランドで指定した場所に退避する。まず、srcアドレス計算結果に基づきメモリから読み出されたデータを第3オペランドで指定した場所に退避する。次に、dstアドレス計算結果を第4オペランドで指定した場所に退避する。復帰マイクロアドレスは(b)で示されるサイクルの先頭である。

【0030】この時、第3、4オペランドとして汎用レジスタ14を指定すると、途中割込みのための処理が不要となる。命令途中の割込みフラグ11と復帰マイクロアドレスレジスタ10の値を(b)で示されるサイクルの先頭にセットして退避する。

【0031】また、割込みフラグ11ならびに復帰マイクロレジスタ10の内容をプロセッサステータスワード(PSW)に置くようにしておけば、通常の割込み処理の際に、PSW、汎用レジスタが退避されるので、命令途中の割込みのために特別な処理をする必要がなくなる。

【0032】一方、マイクロ命令で指示された記憶領域に退避する場合には、除算命令中に割込みが発生した場合の退避先の汎用レジスタ14をあらかじめ指定する方式で、割込み処理としては上述した場合と同様である。また、他の命令ではこの領域を使用しないようにする。

【0033】通常の割込み処理では、割込み受け付け直後に割込み処理が開始されるが、割込み処理にウェイトをかけてリソースの退避が終了した後に、割込み処理を開始する。

【0034】割込みプログラムからの復帰は、通常の命令間の割込みと同様に、リターン命令を実行して行うが、命令をフェッチして最初のステートは実行するが、命令途中の割込みフラグ11の値によりリソース復帰処理を行い、復帰マイクロアドレスレジスタ10の値を示す処理から命令を再開する。

【0035】次に、除算命令実行中の演算ユニット7のループ動作によって演算を実行している(c)の期間の割込み受け付けについて述べる。

【0036】従来では、この期間の割込み受付は禁止さ

れているので、割込み応答の面からは不利であった。

【0037】まず、除算命令実行中の演算ユニット7の動作について述べる。

【0038】除算命令実行中の演算ユニット7は、演算制御ユニット8によって制御され、演算制御ユニット8から演算ユニット7への制御信号は、マイクロ命令をデコードすることによって得られる。

【0039】演算ユニット7の動作は、32ビット÷16ビットの場合、まず、除算と被除数を所定のラッチにロードする。除数をラッチL3に、被除数の下位をラッチL5に、上位側をラッチL7にセットする。演算は除数と被除数の符号をチェックしながら加減算を行い、オーバフローのチェックを行い、被除数を1ビット左シフトするという一連の動作の繰り返しである。これを16回行う。

【0040】従来では、1回目の演算実行時に、演算制御ユニット8内のループカウンタ13の値を15に設定し、0になるまでループを繰り返す。商ビットはシフタS1に追加されていく。最後の演算終了後、まず、剰余をdstの上位側に書き込み、最後に商をdstの下位側に書き込んで演算終了となる。繰り返し演算実行中は、除数はラッチL3にラッチされ保持されている。被除数は1ビットずつ左にシフトしながら下位側はラッチL5、L6、Xバスをループし、シフタS2の左シフトによるオーバフロービットはシフタS3の上位側LSBに追加される。上位側はラッチL7、ALU12、ラッチL8、Zバスをループする。

【0041】この実施例では、まず、演算制御ユニット8のループカウンタ13の設定を6回に設定し、従来法通りの演算を行う。次のサイクルでは、演算ユニット7の動作は、従来法通りであるが、同時に割込み検出ユニット6で割込みチェックを行う。また、ループカウンタ13を8回に設定する。ここで、割込み要求を検出すれば、次のサイクルから割り込み処理を行う。通常の割込み処理に対してウェイトをかけ、最初に演算途中結果の退避を行う。

【0042】演算途中結果として必要なリソース(退避情報)は、除数、被除数、商である。したがって、ラッチL3、L6、L8、L2の内容を退避すればよい。ラッチL3に保持された除数はデータレジスタに保持され、ラッチL6、ラッチL8、ラッチL2の内容については、機械語命令で指示したディスティネーションアドレス又は補助オペランドあるいはマイクロ命令で指示している記憶領域に退避される。この時、被除数と商の途中結果を連結して32ビット幅のデータとして退避するようにすれば、リソースの退避先はdstだけでよくなる。

【0043】このように、除算命令のような実行サイクル数の大きい命令の実行途中に割込みを受け付けるようにしたため、割込み応答の高速化が期待される。また、

7

中断時点から命令の実行処理を再開して、命令自体の実行サイクル数を従来と同じ長さに抑えたので、命令実行効率を下がるのを防止することができる。

【0044】

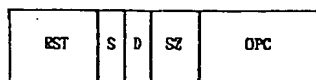
【発明の効果】以上説明したように、この発明によれば、命令の実行中に割込み要求の受け付けを可能にするとともに、割込み受け付けによって中断された命令を中断された時点から再開実行するようにしたので、割込み応答性を向上させることができるとともに、命令の実行効率を向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係わる情報処理装置の構成を示す図である。

【図2】図1に示す復帰マイクロアドレスレジスタの構成*

【図2】



8

*成を示す図である。

【図3】図1に示す演算ユニットの構成を示す図である。

【図4】除算命令の実行サイクルを示す図である。

【符号の説明】

4 命令デコードユニット

6 割込み検出ユニット

7 演算ユニット

8 演算制御ユニット

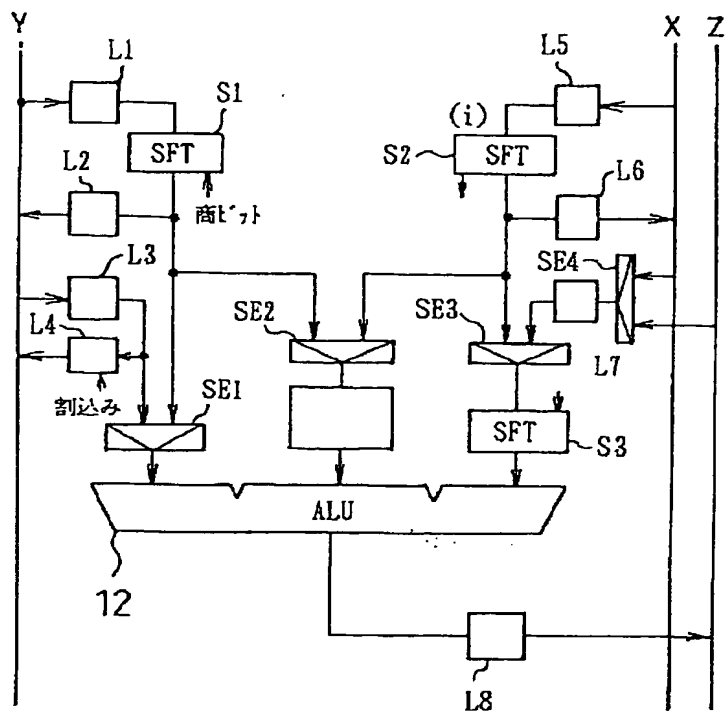
10 復帰マイクロアドレスレジスタ

11 割込みフラグ

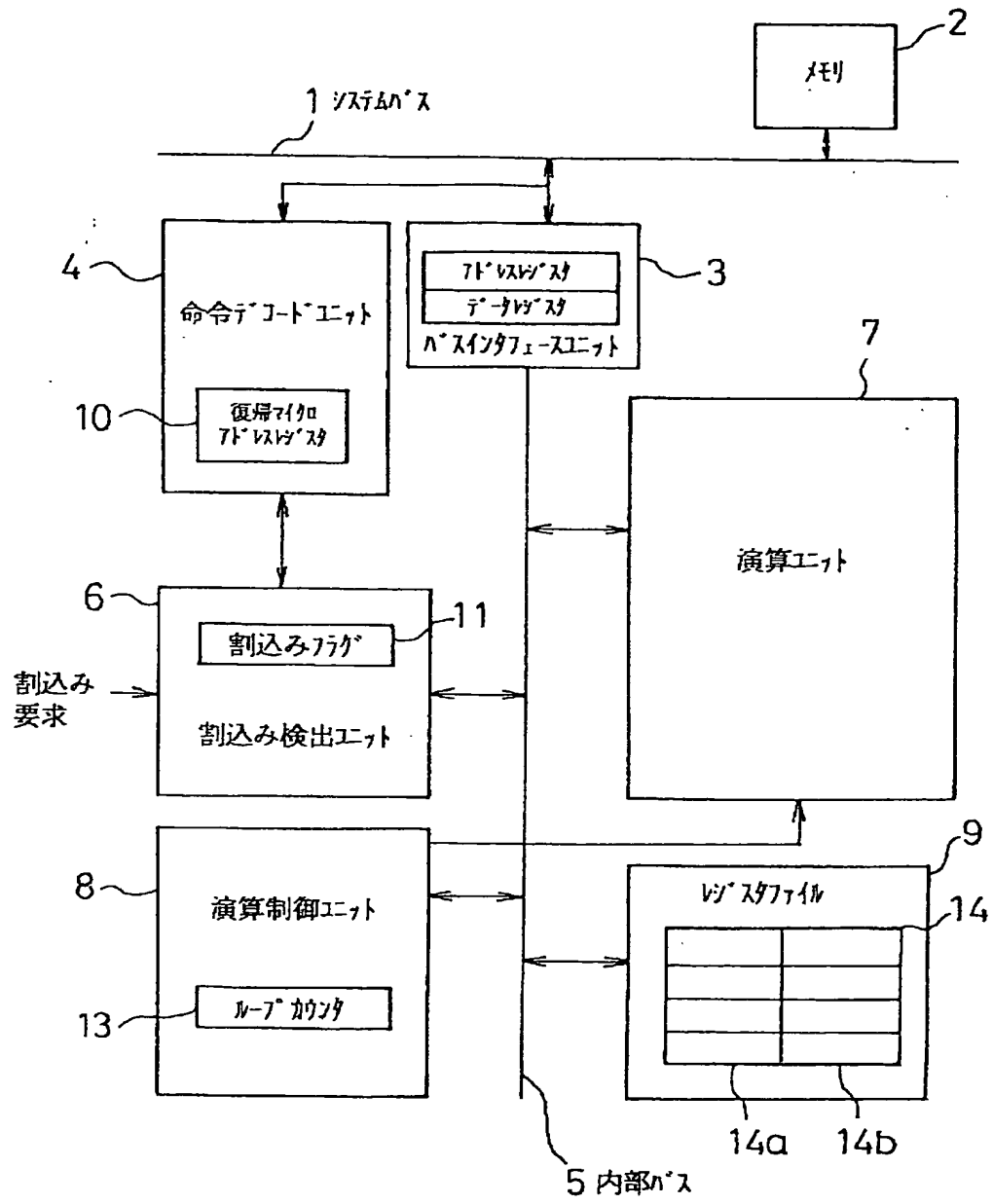
13 ループカウンタ

14 汎用レジスタ

【図3】



【図1】



【図4】

